

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-061499

(43)Date of publication of application : 04.03.1994

(51)Int.Cl.

H01L 29/788

H01L 29/792

(21)Application number : 04-214025

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.08.1992

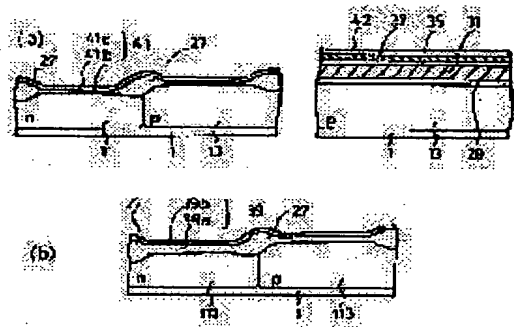
(72)Inventor : ONODA HIROSHI  
FUKUMOTO ATSUSHI

## (54) MANUFACTURE OF NON-VOLATILE SEMICONDUCTOR STORAGE

(57)Abstract:

PURPOSE: To control the thickness of the dielectric film between a control gate and a floating gate easily and to improve the distribution accuracy between a threshold voltage and a memory cell.

CONSTITUTION: In a process for forming a first silicon oxide film 35, a silicon nitride film 37, and a silicon oxide film 42 on a control gate consecutively, at least one gate oxidation process of the transistor of a peripheral region is provided after forming the silicon nitride film 37 and before forming the second silicon oxide film 42, thus reducing the number of fluoric acid treatments as the pretreatment of the gate oxidation performed after forming a second silicon oxide film and reducing the fluctuation of the film thickness of the second silicon oxide film 42 caused by the fluoric acid treatment.



## LEGAL STATUS

[Date of request for examination] 22.04.1996

[Date of sending the examiner's decision of rejection] 30.03.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-61499

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl.<sup>1</sup>

H 0 1 L 29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数1(全 17 頁)

(21)出願番号

特願平4-214025

(22)出願日

平成4年(1992)8月11日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 小野田 宏

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

(72)発明者 福本 敦

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

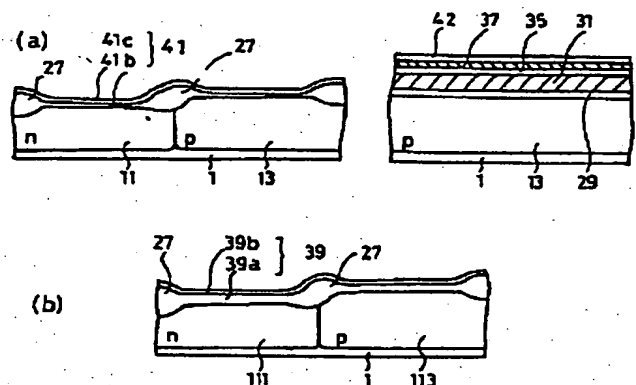
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 不揮発性半導体記憶装置の製造方法

(57)【要約】

【目的】 コントロールゲートとフローティングゲートとの間の誘電膜の膜厚制御を容易にし、しきい値電圧のメモリセル間における分布精度を向上する。

【構成】 コントロールゲート上に第1シリコン酸化膜35、シリコン窒化膜37および第2シリコン酸化膜42を順次形成する工程において、シリコン窒化膜37を形成した後に、第2シリコン酸化膜42を形成する前に、周辺領域のトランジスタのゲート酸化工程を少なくとも1回以上備える。それにより、第2シリコン酸化膜形成後に行なわれるゲート酸化の前処理としてのフッ酸処理の回数が減るため、フッ酸処理に起因する第2シリコン酸化膜42の膜厚のばらつきが減少する。



39, 41: シリコン酸化膜

42: HTO 膜

## 【特許請求の範囲】

【請求項1】 メモリセル領域と周辺回路領域とを有する不揮発性半導体記憶装置を製造する方法であって、半導体基板の主表面上に絶縁膜を形成する工程と、前記絶縁膜上にフローティングゲートを形成する工程と、  
前記フローティングゲート上に、第1シリコン酸化膜、シリコン窒化膜および第2シリコン酸化膜を順に積層した誘電膜を形成する工程と、  
前記誘電膜上にコントロールゲートを形成する工程とを  
備え、  
前記誘電膜を形成する工程は、  
前記第1シリコン酸化膜と前記シリコン窒化膜とを順次形成する工程と、  
周辺回路領域のトランジスタのゲート酸化膜形成のための、少なくとも1回のゲート酸化工程を経た後に、前記シリコン窒化膜上に前記第2シリコン酸化膜を形成する工程とを含む、不揮発性半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、一般的には電気的に書込および消去を行なうことが可能な不揮発性半導体記憶装置およびその製造方法に関し、特にフラッシュメモリの構造およびその製造方法に関するものである。

## 【0002】

【従来の技術】 データを自由に書込むことができ、しかも電気的に消去可能なメモリデバイスとしてフラッシュメモリが存在する。1つのトランジスタで構成され、書込まれた情報電荷を電気的に一括消去することが可能なEEPROM、いわゆる、フラッシュメモリが米国特許第4,868,619号や“An In-System Reprogrammable 32K×8 CMOS Flash Memory” by Virgil Niles Kynett et al., IEEE Journal of Solid-State Circuits, vol. 23, No. 5, October 1988で提案されている。

【0003】 図12はフラッシュメモリの一般的な構成を示すブロック図である。同図において、フラッシュメモリは行列状に配置されたメモリセルマトリックス100と、Xアドレスデコーダ200と、Yゲート300と、Yアドレスデコーダ400と、アドレスバッファ500と、書込回路600と、センスアンプ700と、入出力バッファ800と、コントロールロジック900とを含む。

【0004】 メモリセルマトリックス100は、行列状に配置された複数個のメモリトランジスタをその内部に有する。メモリセルマトリックス100の行および列を選択するためにXアドレスデコーダ200とYゲート300とが接続されている。Yゲート300には列の選択

情報を与えるYアドレスデコーダ400が接続されている。Xアドレスデコーダ200とYアドレスデコーダ400には、それぞれ、アドレス情報が一時格納されるアドレスバッファ500が接続されている。

【0005】 Yゲート300には、データ入力時に書込動作を行なうための書込回路600とデータ出力時に流れる電流値から「0」と「1」を判定するセンスアンプ700が接続されている。書込回路600とセンスアンプ700にはそれぞれ、入出力データを一時格納する入出力バッファ800が接続されている。アドレスバッファ500と入出力バッファ800には、フラッシュメモリの動作制御を行なうためのコントロールロジック900が接続されている。コントロールロジック900は、チップイネーブル信号、アウトプットイネーブル信号およびプログラム信号に基づいた制御を行なう。

【0006】 図13は、図12に示されたメモリセルマトリックス100の概略構成を示す等価回路図である。図において、行方向に延びる複数本のワード線WL<sub>1</sub>, WL<sub>2</sub>, ..., WL<sub>i</sub>と、列方向に延びる複数本のビット線BL<sub>1</sub>, BL<sub>2</sub>, ..., BL<sub>j</sub>とが互いに直交するように配置され、マトリックスを構成する。各ワード線と各ビット線の交点には、それぞれフローティングゲートを有するメモリトランジスタQ<sub>11</sub>, Q<sub>12</sub>, ..., Q<sub>ij</sub>が配設されている。各メモリトランジスタのドレインは各ビット線に接続されている。メモリトランジスタのコントロールゲートは各ワード線に接続されている。メモリトランジスタのソースは各ソース線S<sub>1</sub>, S<sub>2</sub>, ...に接続されている。同一行に属するメモリトランジスタのソースは、図13に示されるように相互に接続されている。

【0007】 図14は、上記のようなフラッシュメモリを構成する1つのメモリトランジスタの断面構造を示す部分断面図である。図14に示されるフラッシュメモリのトランジスタはスタックゲート型と呼ばれる。図15(a)は従来のスタックゲート型フラッシュメモリの平面的配置を示す概略平面図である。図15(b)は図15(a)のA-A線に沿う部分断面図である。これらの図を参照して、従来のフラッシュメモリの構造について説明する。

【0008】 図14および図16を参照して、シリコン基板上に設けられたp型不純物領域83の主表面上にn型の不純物領域、たとえば、n<sup>+</sup>ドレイン領域84とn<sup>+</sup>ソース領域85とが間隔を隔てて形成されている。これらのn<sup>+</sup>ドレイン領域84とn<sup>+</sup>ソース領域85との間に挟まれた領域には、チャネル領域が形成されるようにコントロールゲート86とフローティングゲート87が形成されている。フローティングゲート87はp型の不純物領域83の上に膜厚100Å程度の薄いゲート酸化膜90を介在して形成されている。コントロールゲート86はフローティングゲート87から電気的に分離されるように、フローティングゲート87の上に層間絶縁

膜88を介在して形成されている。フローティングゲート87は多結晶シリコン層から形成されている。コントロールゲート86は多結晶シリコン層あるいは多結晶シリコン層と高融点金属の積層膜から形成されている。酸化膜89は、シリコン基板1とフローティングゲート87やコントロールゲート86を構成する多結晶シリコン層の表面にCVD法により堆積させることによって形成されている。さらに、フローティングゲート87やコントロールゲート86を被覆するようにスモースコート膜95が形成されている。

【0009】図15(a)に示すように、コントロールゲート86は相互に接続されて横方向(行方向)に延びるようにワード線として形成されている。ビット線91はワード線86と直交するように配置され、縦方向(列方向)に並ぶ $n^+$ ドレイン領域84を相互に接続する。ビット線91はドレインコンタクト96を通じて各 $n^+$ ドレイン領域84に電氣的に接続する。図15(b)に示すように、ビット線91はスモースコート膜95の上に形成されている。図15(b)に示すように、 $n^+$ ソース領域85は、ワード線86が延びる方向に沿って延在し、ワード線86とフィールド酸化膜92とに囲まれた領域に形成されている。各 $n^+$ ドレイン領域84もワード線86とフィールド酸化膜92とによって囲まれた領域に形成されている。

【0010】上記のように構成されたフラッシュメモリの動作について図14を参照して説明する。

【0011】まず、書込動作においては、 $n^+$ ドレイン領域84に5~8V程度の電圧 $V_D$ 、コントロールゲート86に10~15V程度の電圧 $V_G$ が印加される。そして $n^+$ ソース領域85とp型不純物領域83は接地電位に保たれる。このとき、メモリトランジスタのチャンネルには数百 $\mu A$ の電流が流れる。ソースからドレインに流れた電子のうちドレイン近傍で加速された電子は、この近傍で高いエネルギーを有する電子、いわゆるチャネルホットエレクトロンとなる。この電子は、コントロールゲート86に印加された電圧 $V_G$ による電界により、矢印①に示されるように、フローティングゲート87に注入される。このようにして、フローティングゲート87に電子の蓄積が行なわれ、メモリトランジスタのしきい値電圧 $V_{th}$ が高くなる。このしきい値電圧 $V_{th}$ が所定の値よりも高くなった状態が書込まれた状態“0”と呼ばれる。

【0012】次に、消去動作においては、 $n^+$ ソース領域85に9~12V程度の電圧 $V_S$ が印加され、コントロールゲート86とp型不純物領域83は接地電位に保持される。そして、 $n^+$ ドレイン領域84は開放される。 $n^+$ ソース領域85に印加された電圧 $V_S$ による電界により、矢印②に示されるように、フローティングゲート87中の電子は、薄いゲート酸化膜90をトンネル現象によって通過する。このようにして、フローティン

グゲート87中の電子が引抜かれることによって、メモリトランジスタのしきい値電圧 $V_{th}$ が低くなる。このしきい値電圧 $V_{th}$ が所定の値より低い状態が、消去された状態“1”と呼ばれる。各メモリトランジスタのソースは図13に示されるように接続されているので、この消去動作によって、すべてのメモリセルを一括消去できる。

【0013】さらに、読出動作において、コントロールゲート86に5V程度の電圧 $V_G$ 、 $n^+$ ドレイン領域84に1~2V程度の電圧 $V_D$ が印加される。そのとき、メモリトランジスタのチャネル領域に電流が流れるかどうか、すなわちメモリトランジスタがオン状態かオフ状態かによって上記の“1”、“0”の判定が行なわれる。

【0014】従来のフラッシュメモリの製造方法を図16~図36を用いて説明する。図の左側が周辺領域を示し、右側がメモリセル領域を示している。

【0015】図16に示すように、p型で<100>のシリコン基板1の主表面上に厚さ300Åのシリコン酸化膜3を形成する。次にシリコン酸化膜3の上に減圧CVD (Chemical Vapour Deposition) 法により厚さ500Åのシリコン窒化膜5を形成する。そしてシリコン窒化膜5の上にレジスト7を形成し、通常のフォトリソグラフィにより $n$ ウェルを形成すべき領域上のシリコン窒化膜5を除去する。そしてレジスト7をマスクとしてシリコン基板1にリンをイオン注入する。条件は60keV、 $1.0 \times 10^{13}/\text{cm}^2$ である。レジスト7を除去し、シリコン窒化膜5をマスクとして図17に示す厚さ5000Åの酸化膜9を形成する。そしてシリコン窒化膜5を除去する。この後酸化膜9をマスクとしてpウェルを形成する領域上にボロンをイオン注入する。条件は100keV、 $1.0 \times 10^{13}/\text{cm}^2$ である。この状態が図17である。

【0016】次に図18に示すように、シリコン基板1に注入した不純物を拡散し $n$ ウェル11およびpウェル13を形成する。条件は1200℃で6時間である。そしてフィールド酸化膜9を除去する。

【0017】図19に示すように、シリコン基板1の主表面上に順に厚さ300Åのシリコン酸化膜15、厚さ1000Åの多結晶シリコン膜17、厚さ2000Åのシリコン窒化膜19、レジスト21を形成する。そして通常のフォトリソグラフィを用いてフィールド酸化膜を形成すべき領域上にあるシリコン窒化膜19を選択的に除去する。

【0018】図20に示すように、シリコン基板1の主表面上にレジスト23を形成し、レジスト23に所定のパターンニングを施す。そしてレジスト23をマスクにしてpウェル13のフィールド酸化膜を形成すべき領域にボロンをイオン注入する。条件は80keV、 $2.5 \times 10^{13}/\text{cm}^2$ である。

【0019】レジスト21およびレジスト23を除去し、シリコン窒化膜19をマスクとして、厚さ7000Åのフィールド酸化膜27を形成する。このとき同時にp<sup>+</sup>チャネルストッパ25も形成される。そしてシリコン窒化膜19、多結晶シリコン膜17を除去し図21に示す状態にする。なおp<sup>+</sup>チャネルストッパ25は以下図示を省略する。次に図21に示すシリコン基板1の主表面全面上にレジスト（図示せず）を形成し、メモリセル領域のみレジストを除去する。そしてレジストをマスクとしてメモリセルのしきい値電圧制御のためのボロンをイオン注入する。

【0020】図22に示すように、シリコン酸化膜15を除去しシリコン基板1の主表面全面上に熱酸化法を用いて厚さ100Åのシリコン酸化膜29を形成する。シリコン酸化膜29の全面上にCVD法を用いて厚さ約1000Åの多結晶シリコン膜31を形成する。多結晶シリコン膜31がフローティングゲートとなる。多結晶シリコン膜31の全面上にレジスト33を形成し、周辺領域にあるレジスト33を除去する。

【0021】レジスト33をマスクとして多結晶シリコン膜31をエッチング除去し図23に示す状態にする。図24は図23に示すメモリセル領域をB方向から切断した状態の断面図である。

【0022】次に、図25に示すように、シリコン基板1の主表面全面上に、CVD法を用いた高温酸化膜（以下「HTO」と記す。HTOはHigh Temperature Oxideの略。）堆積によって厚さ約100Åのシリコン酸化膜（以下、熱酸化膜と区別するために「HTO膜」と記す）35を形成する。HTO膜35の上にCVD法を用いて厚さ約100Åのシリコン窒化膜37を形成する。その後、シリコン窒化膜37上にCVD法によって厚さ約100ÅのHTO膜42を形成する。次に、HTO膜42およびシリコン窒化膜37をレジストプロセスにより選択的に除去するとともに、周辺領域のトランジスタのしきい値電圧を制御するための不純物を注入する。

【0023】次に、周辺領域のみについて、HTO膜35およびシリコン酸化膜29を除去した後、熱酸化法によってシリコン酸化膜39、41を形成することにより、図26に示す断面構造となる。なお、図26の(a)は、右側にメモリセル領域を、左側に5V系トランジスタを形成するnウェル11およびpウェル13を示しているのに対して、(b)は周辺領域における高耐圧トランジスタを形成するnウェル111およびpウェル113を示している。

【0024】次に、図27に示すように、メモリセル領域および周辺領域のうちの高耐圧系トランジスタを形成するnウェル111およびpウェル113のみをレジスト膜101で覆い、5V系トランジスタを形成するnウェル11およびpウェル13のシリコン酸化膜41を除

去する。その後、ゲート酸化膜形成のための熱酸化を再び施して、nウェル11およびpウェル13表面に厚さ約150Åのシリコン酸化膜41を形成する。このとき、nウェル111およびpウェル113表面も同時に熱酸化され、シリコン酸化膜39の厚さが増加して、約300Åになる。

【0025】図29に示すように、シリコン酸化膜41およびHTO膜42上に、CVD法を用いて厚さ2500Åの多結晶シリコン膜43を形成する。多結晶シリコン膜43はメモリセル領域においてはコントロールゲートとなり、周辺領域においてはゲート電極となる。多結晶シリコン膜43の上にレジスト45を形成し、レジスト45に所定のパターニングを施す。レジスト45をマスクとして多結晶シリコン膜43をエッチング除去し、ゲート電極47（図30参照）を形成した後、レジスト45を除去し、図30に示す構造となる。

【0026】図31に示すように、シリコン基板1の主表面全面上にレジスト53を形成する。レジスト53に所定のパターニングを施し、メモリセル領域にある多結晶シリコン膜43、HTO膜42、シリコン窒化膜37、HTO膜35、多結晶シリコン膜31をエッチング除去する。以後多結晶シリコン膜43をコントロールゲート51と呼び、多結晶シリコン膜31をフローティングゲート49と呼ぶ。図32は図31に示すメモリセル領域をC方向から切断した状態の断面図である。

【0027】図31に示すレジスト53を除去し、図33に示すようにサイドウォール絶縁膜55、メモリセル領域用のソース領域とドレイン領域57、周辺領域用のソース領域とドレイン領域59、シリコン酸化膜61、シリコン窒化膜62、スモースコート膜63を形成する。

【0028】図33に示すスモースコート膜63、シリコン窒化膜62、シリコン酸化膜61、シリコン酸化膜29、シリコン酸化膜41にコンタクトホール66を形成する。スモースコート膜63上にアルミニウム配線膜65をスパッタリングにより形成し、コンタクトホール66を介して、アルミニウム配線膜65とメモリセル領域内のソース領域とドレイン領域57およびアルミニウム配線膜65と周辺領域内のソース領域とドレイン領域59とを電気的に接続する。そしてアルミニウム配線膜65に所定のパターニングを施し、図34に示す構造となる。

【0029】図35に示すようにシリコン基板1の主表面全面にスモースコート膜67を形成する。スモースコート膜67にスルーホール70を形成する。そしてスモースコート膜67の上にアルミニウム配線膜69を形成する。アルミニウム配線膜69とアルミニウム配線膜65とはスルーホール70を介して電気的に接続されている。図36に示すようにアルミニウム配線膜69に所定のパターニングを施す。以上により従来のフラッシュメ

モリの製造方法工程が完了する。

【0030】図31および図32に示すように、コントロールゲート51とフローティングゲート49との間には、HTO膜35、シリコン窒化膜37、HTO膜42の積層構造が形成されている。この積層構造はONO膜と呼ばれている。フローティングゲート49とコントロールゲート51との間に形成される膜に要求される特性として以下の3つがある。

【0031】① コントロールゲート51とフローティングゲート49との間の絶縁性が良いこと。

【0032】② リークに強いこと。すなわち、フローティングゲート49に貯えられた電荷を逃さないこと。

【0033】③ 比誘電率が高いこと。③の理由は次のとおりである。フローティングゲート49に多量の電荷が貯えられるようにするには、電荷をフローティングゲート49に供給する際に、フローティングゲート49の電圧を高くする必要がある。したがって、コントロールゲート51に電圧を印加したとき、フローティングゲート49の電圧もコントロールゲート51の電圧に近いほうがよい。そのためにはフローティングゲート49とコントロールゲート51との間の膜の比誘電率が高いほうがよい。

【0034】HTO膜は上記①②が優れているが、③が悪い。これに対しシリコン窒化膜は③が優れているが、①②が悪い。ONO膜はHTO膜の優れた面およびシリコン窒化膜の優れた面の双方を採用したものである。

【0035】ところでONO膜の一番上の膜であるHTO膜42はTop Oxideと呼ばれ、電流のリーク防止のためには、できるだけ厚いほうがよい。このことは1990 IEEE/IRPS pp145~149 A MODEL FOREPROM INTRINSIC CHARGE LOSS THROUGH OXIDE-NITRIDE-OXIDE (ONO) INTERPOLY DIELECTRICにも開示されている。

$$V_{thco} = \frac{C_{cr} + (C_{rd} + C_{rb} + C_{rs})}{C_{rd} + C_{rb} + C_{rs}} V_{thpc}$$

$V_{thco}$ : コントロールゲートに電圧を印加した場合のメモリセルトランジスタのしきい値電圧

$$C_{cr} \approx C_{rd} + C_{rb} + C_{rs}$$

【0040】上式の $C_{cr}$ は、さらに次の式で表わされる。

る。なお、ONO膜の一番下の膜であるHTO膜35はBottom Oxideと呼ばれている。

【0036】

【発明が解決しようとする課題】上述したように、コントロールゲート51とフローティングゲート49との間のONO膜は、ピーク電流防止のためにはできるだけ厚い方が好ましいが、コントロールゲート51とフローティングゲート49との電位差を小さくするためには、できるだけ薄くして静電容量を大きくする方が好ましい。したがって、ONO膜の厚さは所定の最適な範囲内に入るようにする必要がある。

【0037】しかしながら、上記従来法においては、ONO膜形成後に周辺領域のトランジスタのゲート絶縁膜であるシリコン酸化膜39、41が形成されるため、以下に述べる種々の要因によって、ONO膜の最上層のHTO膜42の膜厚に大きな誤差が生じた。そのため、コントロールゲート51とフローティングゲート49との間の静電容量がばらつき、しきい値電圧 $V_{th}$ のトランジスタ間における初期分布の広がりが大きくなって、フラッシュメモリの動作特性が劣化するという問題があった。図38に、最上層HTO膜厚分布以外の要因によるトランジスタ間の初期 $V_{th}$ 分布（図中矢印Aで示す）と、上記従来の工程によって最上層のHTO膜厚にばらつきが生じた場合のトランジスタ間の初期HTO分布（図中矢印Bで示す）を対比して示している。図38のグラフから、HTO膜42のばらつきによる $V_{th}$ 分布の広がりが無視できないほど大きなものであることがわかる。

【0038】なお、コントロールゲート51とフローティングゲート49との間の静電容量と、メモリセルトランジスタのしきい値電圧との関係は、図39を参照して、次の式で表わされる。

【0039】

【数1】

【0041】

【数2】

$$C_{\text{er}} = \frac{1}{\frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_3}}$$

$C_1$  = HTO膜35の静電容量

$C_2$  = シリコン窒化膜37の静電容量

$C_3$  = HTO膜42の静電容量

10

【0042】上式の $C_3$ は、HTO膜42の厚さに反比例する。上記従来の工程により、ONO膜を形成した後に周辺領域のシリコン酸化膜39、41を形成する場合には、HTO膜42の膜厚にばらつきが生じる理由は、下

記表1を参照して次のように説明される。

【0043】

【表1】

(単位: Å)

	ONO膜最上層の HTO膜42の膜厚	高耐圧系トランジスタ のゲート絶縁膜(シリ コン酸化膜39)の膜厚	5V系トランジスタの ゲート絶縁膜(シリ コン酸化膜41)の膜厚
HTO膜 堆積 (220Å)	+220±22	—	—
ゲート酸化 (1回目:290Å)	フッ酸処理: -60±6	熱酸化: +290±29	—
ゲート酸化 (2回目:150Å)	フッ酸処理: -60±6	フッ酸処理:-30±3 2回目ゲート酸化によ る増分:40±4	+150±15
膜厚 計	100±34	300±36	150±15

【0044】まず、図25に示した工程において、ONO膜最上層のHTO膜42を形成する際、CVD法によるHTO膜堆積の厚みの誤差は約±10%であるため、堆積されるHTO膜の厚さは、220±22Åとなる。表1中の+は、厚さが増す方向、-は厚さが減る方向を示している。その後の図26および27に示した第1回目のゲート酸化の工程においては、シリコン基板1上全面に、まずRCA洗浄を施す。ここでRCA洗浄とは、1970年に米国RCA社のWerner Kern氏が提唱した半導体ウェット洗浄法であり、具体的には、主としてアンモニア、過水(H<sub>2</sub>O<sub>2</sub>)および水を所定の比率で混合した薬液を用いて、ウエハ表面の粒子除去等を行なうものである。

【0045】次に、シリコン基板1表面の不要な自然酸

化膜などを除去するため、50:1HF水溶液(水とHFとの体積比が50:1)によって約30秒間エッチング、すなわちいわゆるフッ酸処理を施したうえで、熱酸化を行なう。このフッ酸処理においては、HTO膜42は、図37に示すグラフからわかるように、エッチングによって約60Å除去される。このフッ酸処理のエッチング量の誤差も±10%程度であるため、HTO膜42の膜厚の変化は、-60±6Åとなる。このとき、シリコン酸化膜39、41は共に、シリコン基板の熱酸化によってその厚さが増加し、約290Åとなり、熱酸化により形成される熱酸化膜の厚さの誤差が±10%であることを考慮して、高耐圧系トランジスタのゲート絶縁膜であるシリコン酸化膜39の厚さは290±29Åとなる。5V系トランジスタのゲート絶縁膜であるシリコン

酸化膜41については、1回目のゲート酸化の後にエッチングによって除去するので、表1には、1回目のゲート酸化によるシリコン酸化膜41の形成はないものとしている。

【0046】その後、2回目のゲート酸化により、5V系トランジスタのシリコン酸化膜41が約150Åの厚さで形成されると同時に、高耐圧系トランジスタのシリコン酸化膜39も厚さを増し、約300Åの厚さとなる。このとき、ゲート酸化のための熱酸化の工程の前に行なわれるフッ酸処理により、シリコン酸化膜39は、  
 図37に示すグラフからわかるように、約30Å除去される。またHTO膜42が、そのフッ酸処理の際に約60Å除去される。フッ酸処理によるエッチング量の誤差±10%、熱酸化により形成されるシリコン酸化膜の厚さの誤差±10%、CVDによるHTO膜の堆積量の誤差±10%を考慮すると、HTO膜42、シリコン酸化膜39およびシリコン酸化膜41の厚さは、表1の最下段に示されるようなばらつきを生じる。

【0047】なお、1回目のゲート酸化工程において約290Åの厚さに形成されたシリコン酸化膜39が、フッ酸処理による約30Å除去された後の2回目のゲート酸化工程を経て厚さが約300Åになる理由は、図40に示したグラフを参照して次のように説明される。

【0048】熱酸化時間 $t$ と酸化膜厚 $x_0$ とは、一般に酸化の2乗則に従って、

$$x_0^2 = \beta t$$

で表わされ、図40に示すような放物線のグラフとなる。上式において $\beta$ は定数であって、実験的に容易に定められる。たとえば上式が図40のグラフと一致するように定数 $\beta$ が設定された場合、2回目のゲート酸化工程における前処理としてのフッ酸処理直後は、シリコン酸化膜39の厚さは約260Åとなっており、図40に示すグラフ中の点Bに相当する。次の2回目のゲート酸化工程において、約2.25分間の熱酸化により、シリコン酸化膜41が約150Åの厚さに形成される間、すなわち図40において原点から点Aに至る間に、シリコン酸化膜39の方は、図40の点Bから約2.25分後の点Cに移行することになる。したがって、この時点(図40の点C)において、シリコン酸化膜39の厚さは約300Åとなる。

【0049】以上述べたように、上記従来例による工程では、HTO膜42の膜厚に大きなばらつきが生じるため、コントロールゲート51とフローティングゲート49との間の静電容量にばらつきが生じ、その結果として、トランジスタ間のしきい値電圧分布の広がりが大きくなるという問題があった。

【0050】上記従来の問題点に鑑み本発明の不揮発性半導体記憶装置の製造方法は、コントロールゲートとフローティングゲートとの間の誘電膜の膜厚制御を容易にし、しきい値電圧のメモリセル間の分布精度を向上する

ことを目的とする。

#### 【0051】

【課題を解決するための手段】本発明の不揮発性半導体装置の製造方法は、メモリセル領域と周辺回路領域とを有する不揮発性半導体記憶装置を製造する方法に関する。この製造方法は、半導体基板の主表面上に絶縁膜を形成する工程と、絶縁膜上にフローティングゲートを形成する工程と、そのフローティングゲート上に第1シリコン酸化膜、シリコン窒化膜および第2シリコン酸化膜を順に積層した誘電膜を形成する工程と、その誘電膜上にコントロールゲートを形成する工程とを備えている。この発明の特徴は、誘電膜を形成する工程が、第1シリコン酸化膜とシリコン窒化膜を順次形成する工程と、周辺回路領域のトランジスタのゲート酸化膜形成のための、少なくとも1回のゲート酸化工程を経た後に、シリコン窒化膜上に第2シリコン酸化膜を形成する工程とを有していることである。

#### 【0052】

【作用】この発明の製造工程によれば、コントロールゲートとフローティングゲートとの間の誘電膜の最上層のシリコン酸化膜を形成する前において、周辺回路領域のトランジスタのゲート絶縁膜を形成するためのゲート酸化工程を少なくとも一度含むため、誘電膜最上層のシリコン酸化膜を形成した後の熱酸化工程が減少する。その結果、ゲート酸化のための熱酸化工程の前処理としてのフッ酸処理に伴う、シリコン酸化膜の除去を必要最小限にとどめることができる。フッ酸処理によるシリコン酸化膜のエッチング量の回数が減少することにより、誘電膜最上層のシリコン酸化膜の膜厚のばらつきが抑制され、その結果、誘電膜の厚さのばらつきに伴うコントロールゲートとフローティングゲートとの間の静電容量のばらつきが抑制される。その結果、しきい値電圧のメモリセルトランジスタ間の分布の広がりや抑えられる。

#### 【0053】

【実施例】この発明に従った不揮発性半導体記憶装置の製造方法の一実施例について、以下図面を参照しながら説明する。なお、従来例と同一または相当の要素については、同一の参照符号を付して説明する。

【0054】まず、上記従来例と同様に、図16ないし図24に示した工程を経た後、シリコン基板1上全面にCVD法によって、厚さ約100ÅのHTO膜35を形成する。その後、やはりCVD法によって、厚さ約100Åのシリコン窒化膜37を形成する(図1)。

【0055】その後、メモリセル領域と、pウェル領域13上をレジスト膜13によって覆い、nウェル領域11に対して硼素イオンを注入し、nウェル領域11上に形成するトランジスタのしきい値電圧を調節する(図2)。その後、メモリセル領域上およびnウェル領域11上をレジスト膜104で覆い、周辺領域のpウェル領域13に対して硼素イオンを注入し、pウェル領域13



上に形成するトランジスタのしきい値電圧を調節する(図3)。

【0056】次に、図4に示すように、メモリセル領域上のみレジスト膜105で覆い、周辺領域のシリコン基板1上をエッチングすることにより、nウェル領域11およびpウェル領域13表面のシリコン酸化膜29を除去する。その後、50:1HFエッチングを約30秒施すことによるフッ酸処理により、周辺領域のシリコン基板1表面上の自然酸化膜やその他の不純物を除去する。次に、熱酸化を施し、周辺領域のnウェル11およびpウェル13表面に厚さ約220Åのシリコン酸化膜41aを、nウェル111およびpウェル113表面上には、やはり厚さ約220Åのシリコン酸化膜39aを形成し、図5に示す構造となる。

【0057】次に、図6に示すように、メモリセル領域上および高耐圧系トランジスタを形成するnウェル111およびpウェル113上をレジスト膜106で覆い、5V系トランジスタを形成するnウェル11およびpウェル13表面をエッチングして、シリコン酸化膜41aを除去する。

【0058】その後、RCA洗浄を行ない、さらに50:1HFエッチングを約30秒間施すことによるフッ酸処理を行なった後、再び熱酸化を施して、nウェル11およびpウェル13表面に、厚さ約50Åのシリコン酸化膜41bを形成する。このとき、同時にnウェル111およびpウェル113表面も熱酸化されるため、図7に示すようにシリコン酸化膜39aの厚さが増加して、約200Å程度の厚さになる。

【0059】次に、図8に示すように、CVD法により、シリコン基板1表面全面に高温酸化膜を堆積させ、メモリセル領域におけるシリコン窒化膜37表面上には厚さ約100ÅのHTO膜42が形成される。それと同時に、周辺領域のnウェル11およびpウェル13上には厚さ約100Åのシリコン酸化膜41cが、nウェル111およびpウェル113上にはやはり厚さ100Åのシリコン酸化膜39bが形成される。その結果、HTO膜35、シリコン窒化膜37およびHTO膜42が積層された誘電膜であるいわゆるONO膜が形成され、5V系トランジスタが形成される領域上には、シリコン酸化膜41b、41cからなるゲート絶縁膜であるシリコン酸化膜41が形成される。また、高耐圧系トランジスタが形成される領域上には、シリコン酸化膜39a、39bからなるゲート絶縁膜であるシリコン酸化膜39が形成される。

【0060】その後は、図29ないし図36に示した上記従来の工程と同様の工程を経て、不揮発性半導体記憶装置が完成する。

【0061】本実施例におけるHTO膜42、シリコン酸化膜39およびシリコン酸化膜41の膜厚は、ゲート酸化工程の前処理として行なわれるフッ酸処理によるエッチング量の誤差±10%、ゲート酸化工程における熱酸化膜の厚さの誤差±10%およびHTO膜堆積における膜厚の誤差±10%を考慮して、下記の表2に示すようになる。

【0062】

【表2】

(単位: Å)

	ONO膜最上層の HTO膜42の膜厚	高耐圧系トランジスタ のゲート絶縁膜(シリ コン酸化膜39)の膜厚	5V系トランジスタの ゲート絶縁膜(シリコ ン酸化膜41)の膜厚
ゲート酸化 (1回目: 220 Å)	—	+220±22	—
ゲート酸化 (2回目: 50 Å)	—	フッ酸処理: -30±3 2回目ゲート酸化によ る増分: 10±1	+50±5
HTO膜 堆積 (100 Å)	+100±10	+100±10	+100±10
膜厚 計	100±10	300±36	150±15

【0063】表2に示した数値からわかるように、上記従来例における表1と比較して、シリコン酸化膜39およびシリコン酸化膜41の膜厚の誤差をそれほど大きく増すことなく、HTO膜42の膜厚の誤差を極めて小さく抑えている。したがって、メモリセルトランジスタ間のONO膜最上層のHTO膜42の膜厚のばらつきが小さくなり、その結果ONO膜の厚さのばらつきも小さく抑えられる。したがって、コントロールゲート51とフローティングゲート49との間の静電容量のばらつきが抑えられ、しきい値電圧のトランジスタ間における分布の広がりを小さくすることができる。

【0064】次に、本発明の他の実施例の不揮発性半導体記憶装置の製造方法について、図9ないし図11を参照しながら説明する。

【0065】本実施例の製造工程は、1回目のゲート酸化工程である、上記実施例における図5にした工程までは、上記実施例と同様である。ただし、本実施例においては、1回目のゲート酸化により形成される熱酸化膜の厚さの目標値を、約160Åとする。その後、本実施例においては、図9に示すように、シリコン基板1上全面に、CVD法による高温酸化膜、すなわちHTO膜を、約160Å堆積させる。なお、図9の(a)は、その右側にメモリセル領域を、左側に5V系トランジスタ形成領域を示し、(b)は、周辺領域の高耐圧系トランジスタの形成領域を示している。形成したHTO膜は、メモリセル領域ではONO膜最上層のHTO膜42となり、5V系トランジスタ形成領域においてはシリコン酸化膜

41dとなり、さらに高耐圧系トランジスタではシリコン酸化膜39cとなる。

【0066】次に、図10に示すように、メモリセル領域上と高耐圧系トランジスタ形成領域上とをレジスト膜107で覆い、5V系トランジスタ形成領域のシリコン酸化膜41d、41aをエッチングによって除去し、nウェル11およびpウェル13の表面を露出させる。

【0067】次に、2回目のゲート酸化を行なう。このゲート酸化工程においては、まず前処理としてのフッ酸処理(50:1 HF水溶液によるエッチング30秒間)を行なった後、厚さ約150Åの熱酸化膜が生じるように、熱酸化を行なう。その結果、図11に示すように、5V系トランジスタ形成領域におけるシリコン基板1表面に、約150Åの厚さの熱酸化膜であるシリコン酸化膜41が形成され、これが5V系トランジスタのゲート酸化膜を構成することになる。また、高耐圧系トランジスタ形成領域のシリコン基板1表面の熱酸化膜であるシリコン酸化膜39aも、このゲート酸化工程においてその厚みが増し、シリコン酸化膜39cと合わせて、約300Åの厚さの高耐圧系トランジスタのゲート絶縁膜であるシリコン酸化膜39を構成することになる。

【0068】本実施例における各工程において形成される膜厚の誤差を考慮にいたし、HTO膜42、シリコン酸化膜39およびシリコン酸化膜41の膜厚の変化を、下記の表3に示す。

【0069】

【表3】

(単位: Å)

	ONO膜最上層の HTO膜42の膜厚	高耐圧系トランジスタ のゲート絶縁膜(シリ コン酸化膜39)の膜厚	5V系トランジスタの ゲート絶縁膜(シリコ ン酸化膜41)の膜厚
ゲート酸化 (1回目:160Å)	——	160±16	——
HTO膜 堆積 (160Å)	+160±16	+160±16	——
ゲート酸化 (2回目:150Å)	フッ酸処理: -60±6	フッ酸処理:-60±12 2回目ゲート酸化によ る増分:40±4	熱酸化: 150±15
膜厚 計	100±22	300±42	150±15

【0070】表3の結果から明らかなように、本実施例 50 によれば、シリコン酸化膜39およびシリコン酸化膜4

1の膜厚のばらつきを拡大することなく、HTO膜42の膜厚のばらつきを抑制することができる。

【0071】また本実施例によれば、5V系トランジスタのゲート絶縁膜であるシリコン酸化膜41が、ゲート酸化工程による熱酸化膜のみで形成されるため、上記実施例のようにHTO膜と熱酸化膜との積層構造の場合に比べて、ゲート絶縁膜としての膜質がやや向上する。

【0072】

【発明の効果】以上説明したように、本発明によれば、周辺回路領域に形成されるトランジスタのゲート酸化膜の膜厚のばらつきを拡大することなく、ONO膜最上層のHTO膜の膜厚のばらつきを抑制することができる。その結果、コントロールゲートとフローティングゲートとの間の静電容量のばらつきが抑制され、メモリセルトランジスタのしきい値電圧分布の広がり小さくすることができ、不揮発性半導体記憶装置としての特性が向上する。

【図面の簡単な説明】

【図1】この発明に従った不揮発性半導体記憶装置の製造方法の一実施例の第1工程を示すシリコン基板の部分断面図である。

【図2】この発明に従った不揮発性半導体記憶装置の製造方法の一実施例の第2工程を示すシリコン基板の部分断面図である。

【図3】この発明に従った不揮発性半導体記憶装置の製造方法の一実施例の第3工程を示すシリコン基板の部分断面図である。

【図4】この発明に従った不揮発性半導体記憶装置の製造方法の一実施例の第4工程を示すシリコン基板の部分断面図である。

【図5】この発明に従った不揮発性半導体記憶装置の製造方法の一実施例の第5工程を示すシリコン基板の部分断面図である。

【図6】この発明に従った不揮発性半導体記憶装置の製造方法の一実施例の第6工程を示すシリコン基板の部分断面図である。

【図7】この発明に従った不揮発性半導体記憶装置の製造方法の一実施例の第7工程を示すシリコン基板の部分断面図である。

【図8】この発明に従った不揮発性半導体記憶装置の製造方法の一実施例の第8工程を示すシリコン基板の部分断面図である。

【図9】この発明に従った不揮発性半導体記憶装置の製造方法の他の実施例の第1工程を示すシリコン基板の部分断面図である。

【図10】この発明に従った不揮発性半導体記憶装置の製造方法の他の実施例の第2工程を示すシリコン基板の部分断面図である。

【図11】この発明に従った不揮発性半導体記憶装置の製造方法の他の実施例の第3工程を示すシリコン基板の

部分断面図である。

【図12】フラッシュメモリの一般的な構成を示すブロック図である。

【図13】図12に示されたメモリセルマトリックスの概略構成を示す等価回路図である。

【図14】フラッシュメモリを構成する1つのメモリトランジスタの断面構造を示す部分断面図である。

【図15】(a)は従来のスタックゲート型フラッシュメモリの平面的配置を示す概略平面図、(b)は(a)のA-A線に沿う部分断面図である。

【図16】従来の不揮発性半導体記憶装置の製造方法の一例の第1工程を示すシリコン基板の部分断面図である。

【図17】従来の不揮発性半導体記憶装置の製造方法の一例の第2工程を示すシリコン基板の部分断面図である。

【図18】従来の不揮発性半導体記憶装置の製造方法の一例の第3工程を示すシリコン基板の部分断面図である。

【図19】従来の不揮発性半導体記憶装置の製造方法の一例の第4工程を示すシリコン基板の部分断面図である。

【図20】従来の不揮発性半導体記憶装置の製造方法の一例の第5工程を示すシリコン基板の部分断面図である。

【図21】従来の不揮発性半導体記憶装置の製造方法の一例の第6工程を示すシリコン基板の部分断面図である。

【図22】従来の不揮発性半導体記憶装置の製造方法の一例の第7工程を示すシリコン基板の部分断面図である。

【図23】従来の不揮発性半導体記憶装置の製造方法の一例の第8工程を示すシリコン基板の部分断面図である。

【図24】図20のB-B線に沿うシリコン基板の部分断面図である。

【図25】従来の不揮発性半導体記憶装置の製造方法の一例の第9工程を示すシリコン基板の部分断面図である。

【図26】従来の不揮発性半導体記憶装置の製造方法の一例の第10工程を示すシリコン基板の部分断面図である。

【図27】従来の不揮発性半導体記憶装置の製造方法の一例の第11工程を示すシリコン基板の部分断面図である。

【図28】従来の不揮発性半導体記憶装置の製造方法の一例の第12工程を示すシリコン基板の部分断面図である。

【図29】従来の不揮発性半導体記憶装置の製造方法の一例の第13工程を示すシリコン基板の部分断面図であ

る。

【図30】従来の不揮発性半導体記憶装置の製造方法の一例の第14工程を示すシリコン基板の部分断面図である。

【図31】従来の不揮発性半導体記憶装置の製造方法の一例の第15工程を示すシリコン基板の部分断面図である。

【図32】図31のC-C線に沿うシリコン基板の部分断面図である。

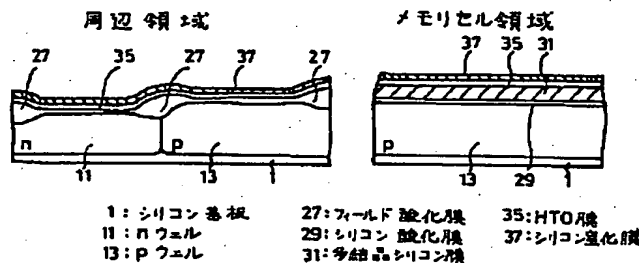
【図33】従来の不揮発性半導体記憶装置の製造方法の一例の第16工程を示すシリコン基板の部分断面図である。

【図34】従来の不揮発性半導体記憶装置の製造方法の一例の第17工程を示すシリコン基板の部分断面図である。

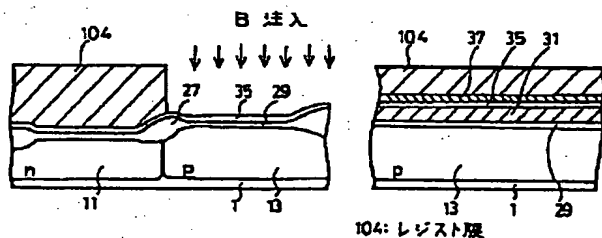
【図35】従来の不揮発性半導体記憶装置の製造方法の一例の第18工程を示すシリコン基板の部分断面図である。

【図36】従来の不揮発性半導体記憶装置の製造方法の

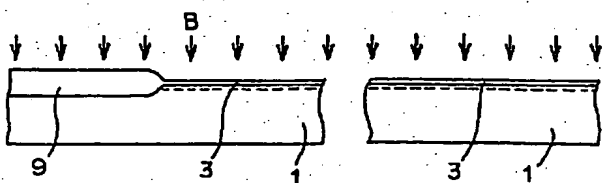
【図1】



【図3】



【図17】



一例の第19工程を示すシリコン基板の部分断面図である。

【図37】50:1 HF水溶液による、CVD酸化膜と熱酸化膜とのエッチング特性を対比して示す図である。

【図38】ONO膜最上層のHTO膜の膜厚分布を除く要因による場合(図の矢印A)と、その要因を含む場合(図の矢印B)のメモリセルトランジスタ間のしきい値電圧分布を正規化して示す図である。

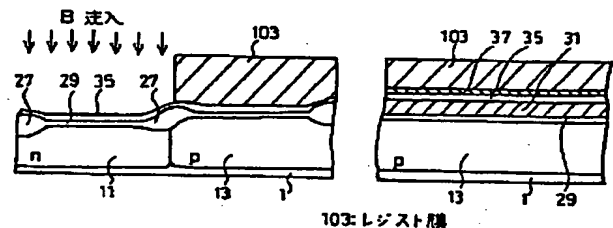
【図39】メモリセルの各部の静電容量を記号化するための説明図である。

【図40】熱酸化時間と、その熱酸化により形成される酸化膜の膜厚との関係を示す図である。

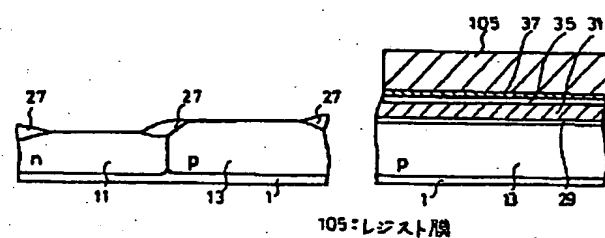
【符号の説明】

- 1 シリコン基板
- 29 シリコン酸化膜
- 31 多結晶シリコン膜
- 35 HTO膜
- 37 シリコン窒化膜
- 43 多結晶シリコン膜

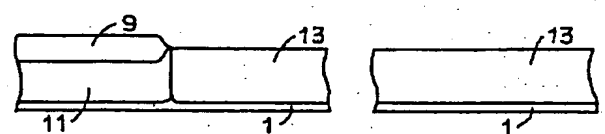
【図2】



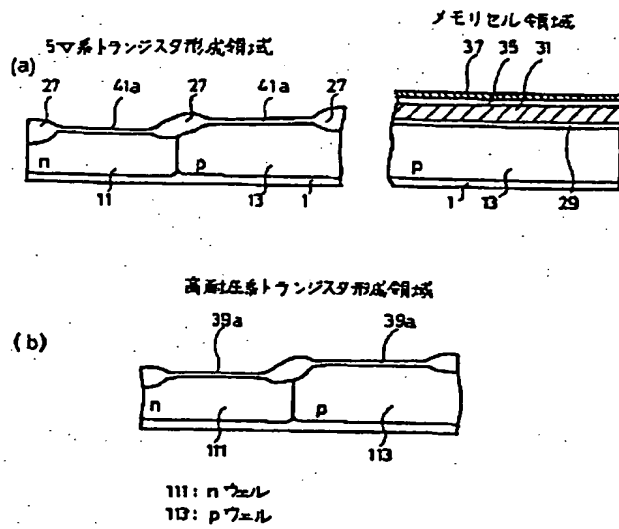
【図4】



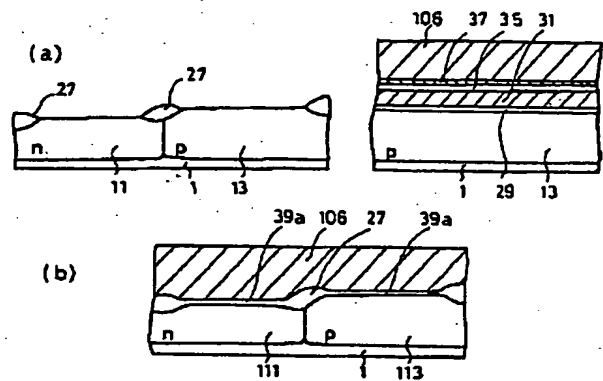
【図18】



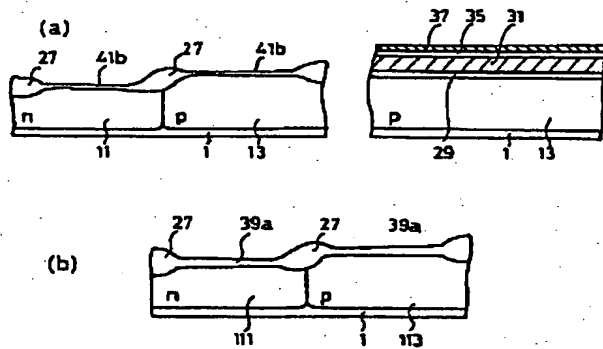
【図5】



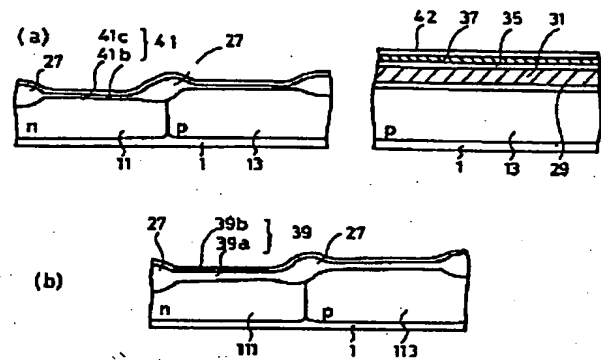
【図6】



【図7】



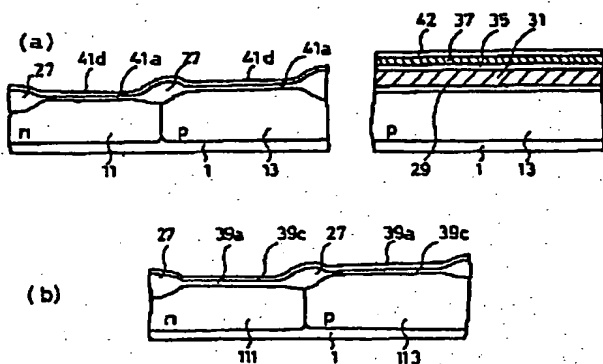
【図8】



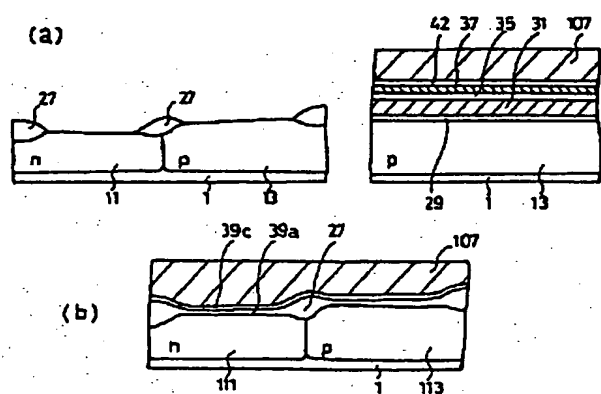
39, 41: シリコン酸化膜

42: HTO膜

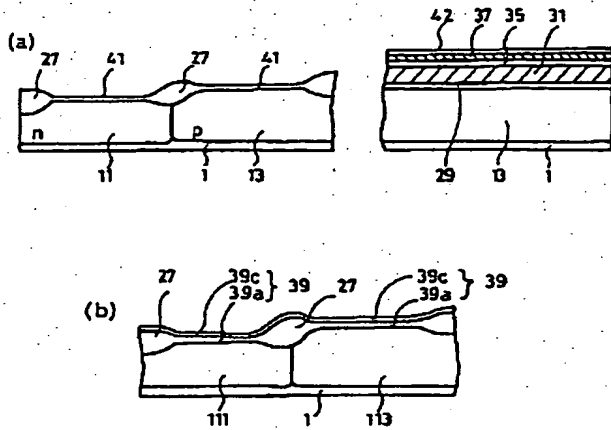
【図9】



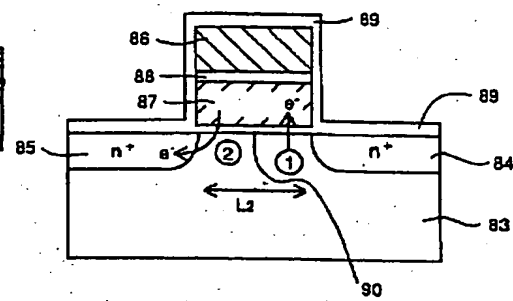
【図10】



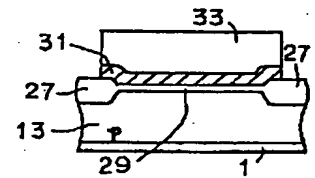
【図11】



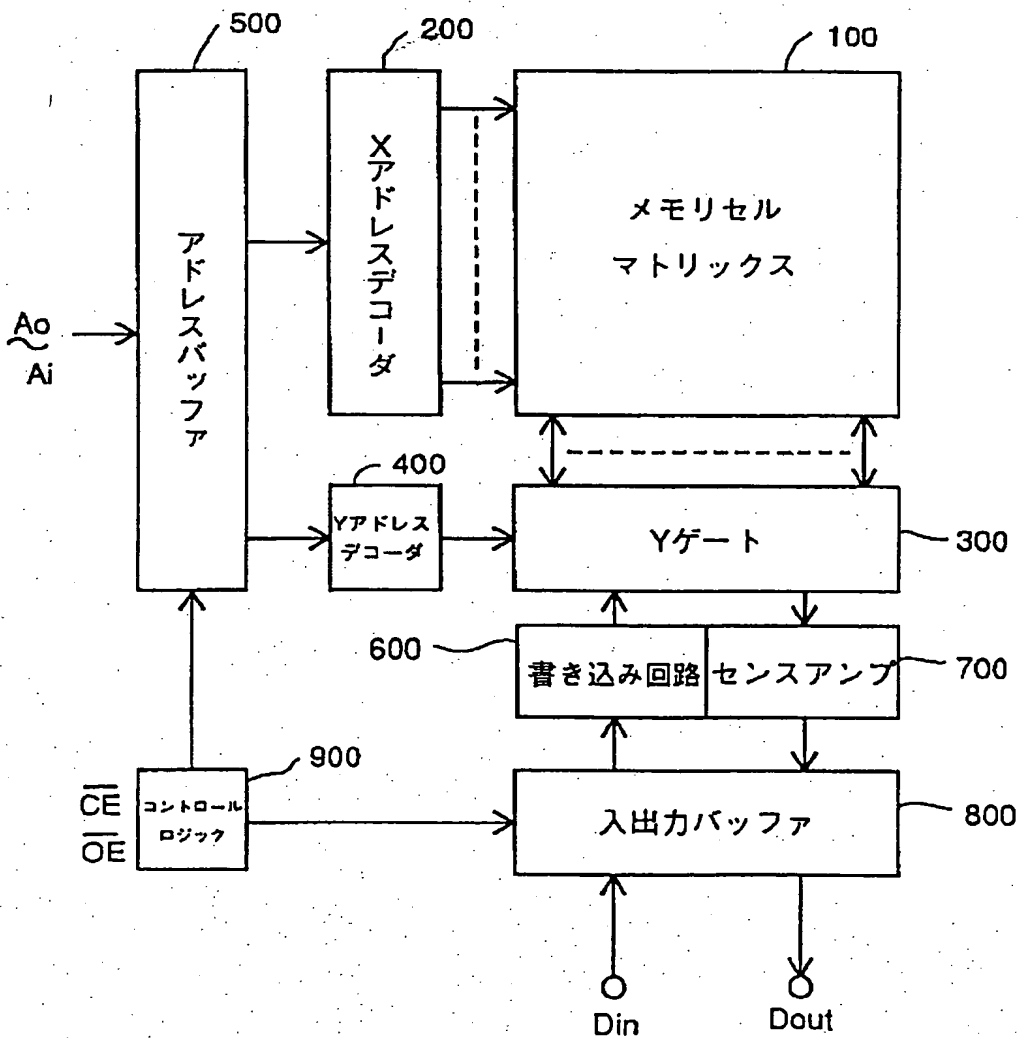
【図14】



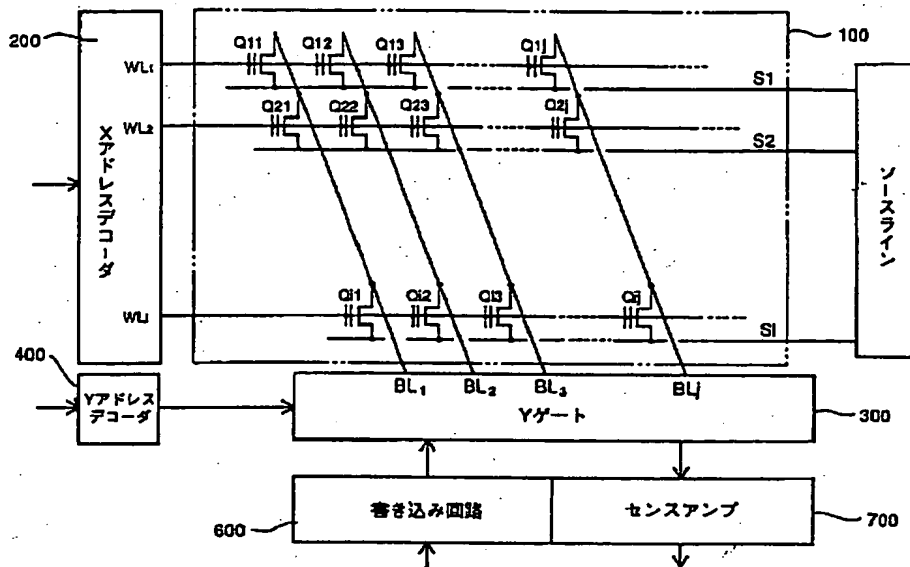
【図24】



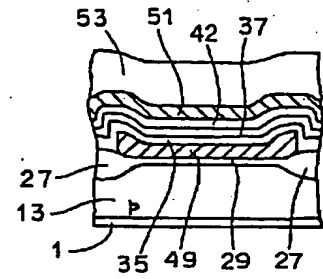
【図12】



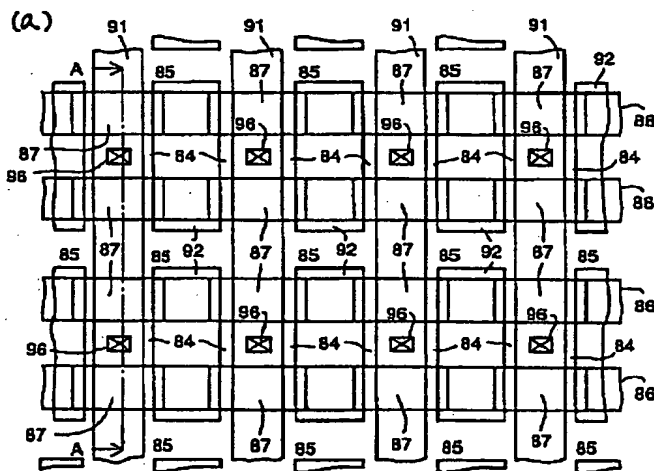
【図13】



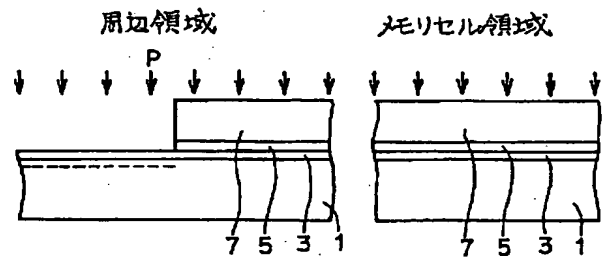
【図32】



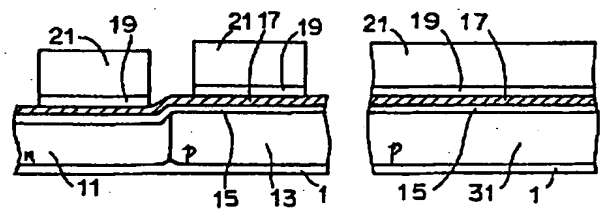
【図15】



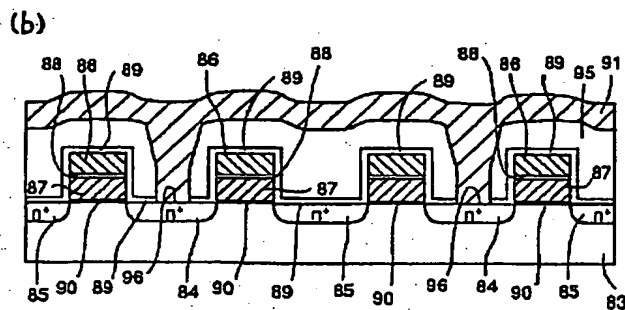
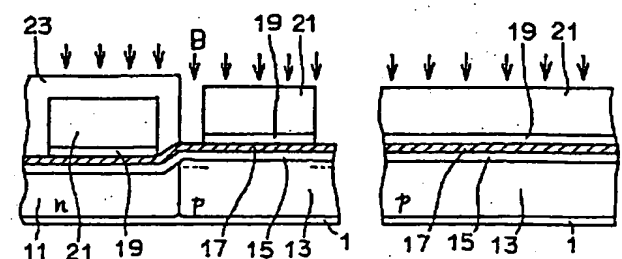
【図16】



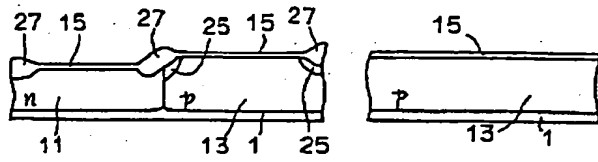
【図19】



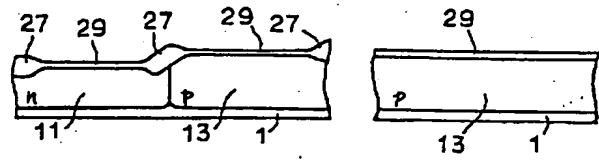
【図20】



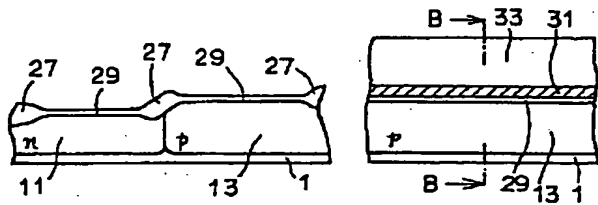
【図21】



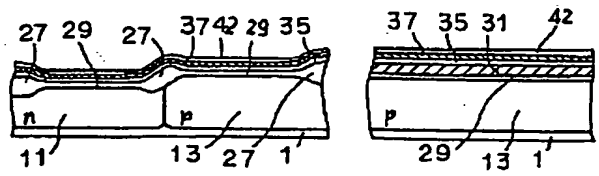
【図22】



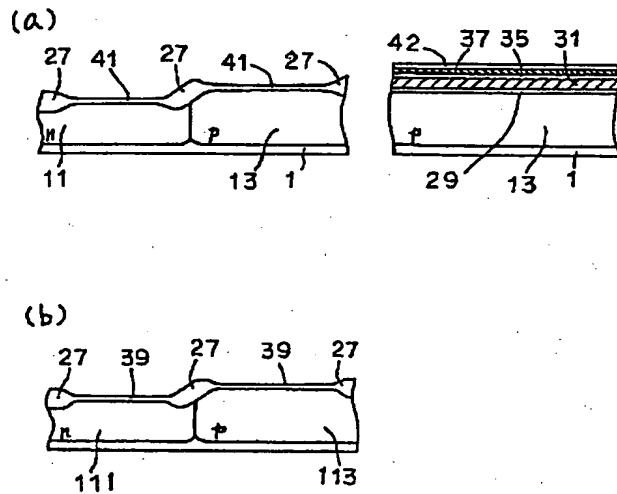
【図23】



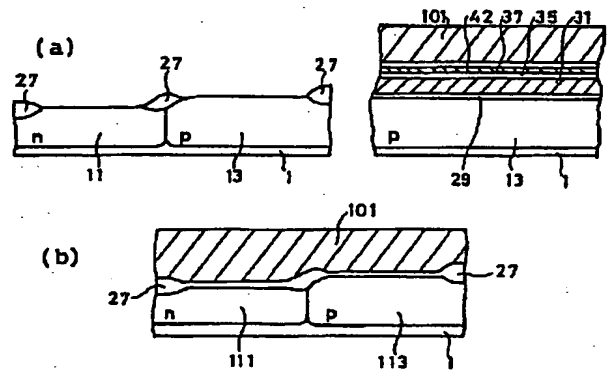
【図25】



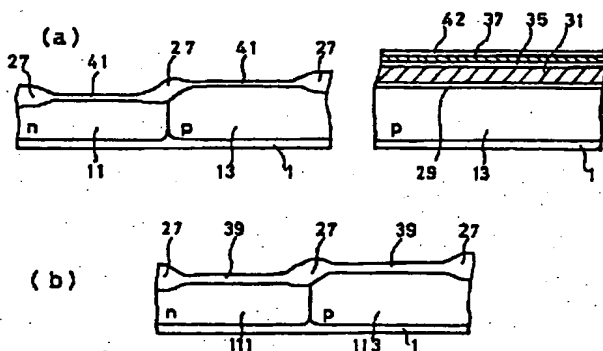
【図26】



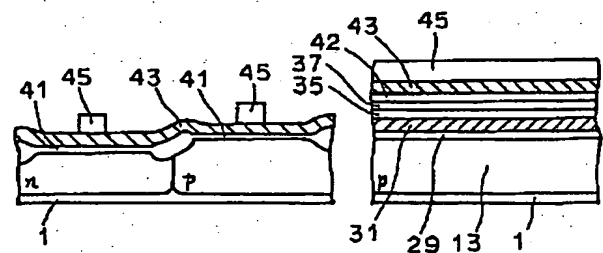
【図27】



【図28】

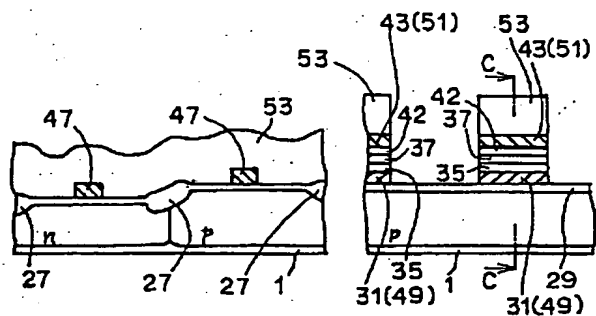


【図29】

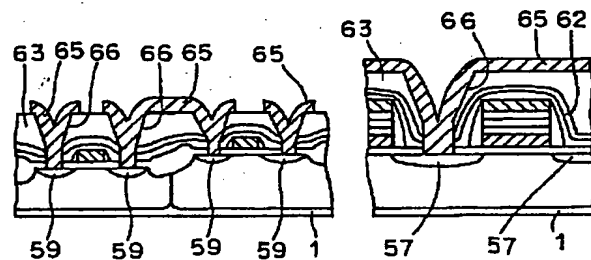




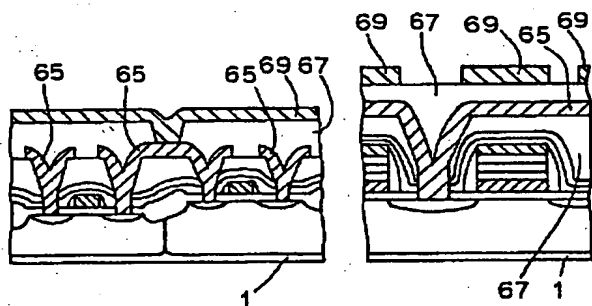
【图 3 1】



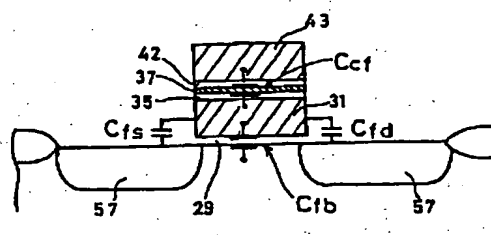
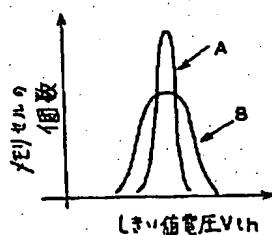
【☒34】



【图 3 6】



【图 3 9】



【図40】

